

ANALYZING METHOD AND DEVICE FOR PARAMETER FITTING

Patent number: JP6266789
 Publication date: 1994-09-22
 Inventor: NIIHARA SEITAROU
 Applicant: TOKYO SHIBAURA ELECTRIC CO.; TOSHIBA AVE KK
 Classification:
 - international: G06F15/80; G01R31/28; H01L21/82
 - european: G06F17/50C4
 Application number: JP19930051031 19930311
 Priority number(s): JP19930051031 19930311

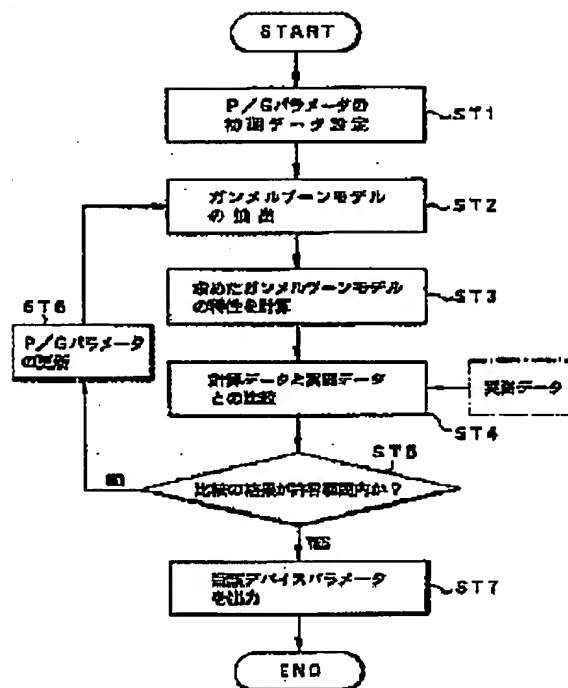
Also published as:

EP0815203 (A1)

Report a data error here

Abstract of JP6266789

PURPOSE: To make it possible to shorten analyzing time by the decrease of the number of parameter to be an adjusting object and to suppress the dispersion of a convergent point.
CONSTITUTION: The fitting of a device parameter is performed via a physical/ geometric parameter by an algorithm that the physical/geometric parameter is set (steps ST1, ST6), this is converted into the device parameter and an equivalent circuit model is obtained. (step ST2) and the physical/geometric parameter is adjusted by the result of the characteristic judgements (steps ST3 to ST5) (step ST6). The number of physical/geometric parameter which is fewer than that of device parameter may be set. For instance, 44 pieces of device parameters of Gummel-Poon model can be substituted for 15 pieces of physical/ geometric parameters.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-266789

(43)公開日 平成6年(1994)9月22日

(51)IntCl ³	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/80	3 6 0 D	7623-5L		
G 0 1 R 31/26	G	9214-2G		
// H 0 1 L 21/82		9169-4M	H 0 1 L 21/ 82	T

審査請求 未請求 請求項の数4 OL (全6頁)

(21)出願番号 特願平5-51031

(22)出願日 平成5年(1993)3月11日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221028

東芝エー・ピー・イー株式会社

東京都港区新橋3丁目3番9号

(72)発明者 新 原 盛太郎

東京都港区新橋三丁目3番9号 東芝エー・

ピー・イー株式会社内

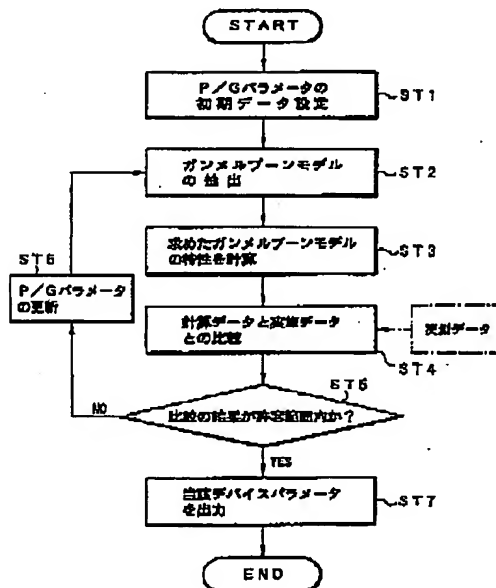
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 パラメータフィッティングの解析方法及び同装置

(57)【要約】

【構成】 物理的／幾何学的パラメータを設定し(ステップST1、ST6)、これをデバイスパラメータに変換して等価回路モデルを求め(ステップST2)、その特性判断(ステップST3～ST5)の結果で物理的／幾何学的パラメータを調整する(ステップST6)、というアルゴリズムで、デバイスパラメータのフィッティングを物理的／幾何学的パラメータを介して行う。物理的／幾何学的パラメータはデバイスパラメータより少数の設定で済み、例えば、ガンメルブーンモデルの44個のデバイスパラメータは15個の物理的／幾何学的パラメータに置換えることができる。

【効果】 調整対象となるパラメータの数が減る分だけ解析時間を短縮することができると共に、収束点の分散を抑制する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】デバイスの物理的／幾何学的パラメータを設定するステップと、
該物理的／幾何学的パラメータを前記デバイスの等価回路モデルを成すデバイスパラメータに変換するステップと、
該等価回路モデルに基づいて前記デバイスの解析用特性を計算により求めるステップと、
前記デバイスの解析用特性に関するその計算値と実測値とを比較するステップとを含んでいるパラメータフィッ

10 ティングの解析方法。
【請求項2】デバイスの物理的／幾何学的パラメータを設定する手段と、
該物理的／幾何学的パラメータを前記デバイスの等価回路モデルを成すデバイスパラメータに変換する手段と、
該等価回路モデルに基づいて前記デバイスの解析用特性を計算する手段と、
前記デバイスの解析用特性に関するその計算値と実測値とを比較する手段とを備えているパラメータフィッ

20 ティングの解析装置。
【請求項3】デバイスの物理的／幾何学的パラメータに関する初期値を設定する初期値設定ステップと、
その物理的／幾何学的パラメータを前記デバイスの等価回路モデルを成すデバイスパラメータに変換することにより該等価回路モデルを抽出する第1ステップ、前記等価回路モデルに基づきその解析用特性を計算する第2ステップ、その計算値と実測値との比較を行うことにより前記計算値と前記実測値との差が許容値内外のいずれであるかを判定する第3ステップ、及びその比較結果が前記計算値と前記実測値との差として許容値外の値を持つときは、これを小さくする方向に前記物理的／幾何学的パラメータを更新して第1〜第3ステップを実行させる第4ステップからなり、前記第3ステップの比較結果が前記計算値と前記実測値との差において前記許容値内の値を持つようになるまで第4のステップを繰返し実行するフィッティング実行ステップとを含んでいるパラメータフィッティング方法。

30 【請求項4】デバイスの物理的／幾何学的パラメータに関する初期値を設定する初期値設定手段と、
該初期値手段の出力にตอบสนองして、その物理的／幾何学的パラメータを前記デバイスの等価回路モデルを成すデバイスパラメータに変換することにより該等価回路モデルを抽出するモデル抽出手段と、
該モデル抽出手段の出力にตอบสนองして、該等価回路モデルに基づきその解析用特性を計算する特性計算手段と、
該特性計算手段の出力にตอบสนองして、その計算値と実測値との比較を行う比較手段と、
その比較結果が前記計算値と前記実測値との差として許容値外の値を持つとき、これを小さくする方向に前記物理的／幾何学的パラメータを更新する更新値設定手段

と、
その比較結果が前記計算値と前記実測値との差において許容値内の値を持つとき、そのデバイスパラメータを最適値として決定する最適値決定手段とを含んでいるパラメータフィッティング装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はデバイスの等価回路モデルを成すデバイスパラメータを最適化するための方法及び装置に関する。

【0002】

【従来の技術】トランジスタ回路のシミュレーションはそのシミュレーション対象となる回路を形成する各素子（BJT（バイポーラジャンクショントランジスタ）、FET等）の等価回路モデルによって模擬回路を形成し、この模擬回路を計算機上で動作させることによって行われる。

【0003】そのモデルの一つとして例えばガンメル・ブーンモデルがある。このガンメル・ブーンモデルは、BJTの等価回路モデルであって、この等価回路を形成する各種デバイス（抵抗、容量）の値を示す多数のパラメータを含んでおり、それらにより形成されるものである。

【0004】ところで、このモデルの使用にあたっては、実際の素子とその特性が同じになるようにパラメータを調整する必要がある。そのため、模擬回路を組んで、そのシミュレーションを行う段階の前段階としてパラメータフィッティング、すなわちデバイスパラメータを調整し最適化させることが行われる。

【0005】これは、通常、オブチマイザと呼ばれるソフトウェアにより行われる。このオブチマイザにあっては、例えば、VCE-IC特性の実測値と、設定したデバイスパラメータによる計算値とを比較してその偏差を求め、この偏差が小さくなる方向にデバイスパラメータを調整する、という処理を、各種パラメータにおける偏差として許容値以内に収まる値、つまり収束点が得られるまで繰返すことによりパラメータフィッティングが遂行される。

【0006】計算式を解き、実際に回路を組んで動作試験を行い、デバイスのカットアンドトライを行っていた頃の手法でパラメータの最適化を行っていたとしたら、LSIの回路設計には想像を絶するような受難があったであろう。また、計算機上でのLSI回路シミュレーションは実現不可能であったかもしれない。しかし、オブチマイザの出現がそれを現実のものとし、今日のLSI発展の一翼を担っている。

【0007】

【発明が解決しようとする課題】しかし、上記従来のパラメータフィッティングにおいては、等価回路モデルが多数のデバイスパラメータを含むことが原因でその解析

時間が長引くという問題がある。

【0008】また、同じ原因で収束点が多数存在するようになり、希望の値が得られない場合がある。つまり、パラメータフィッティングでは前述のVCE-1C特性に限らず、その他の各種特性についても解析が行われる。それら解析用特性の全てについて最適化された収束点がデバイスパラメータフィッティング値の目標とするところであるが、全特性について常に並列的に考慮したフィッティングを行うと、処理が複雑となり、いつまで経っても収束せず、余計に解析時間が長くなってしまふことになるため、ある特性についてある程度の収束が見られるところで他の特性についての解析に切替える、という方式を探るのが一般的である。そのために、一つの特性について収束した値を元に別の特性についてフィッティングを行ったとき、全くかけはなれた収束点が新たに出来てしまふ、というような事象が発生し、全ての特性に合った収束点を求めることが難しい場合があったのである。

【0009】本発明は上記従来技術の有する問題点に鑑みてなされたもので、その目的とするところは、解析時間の短縮ならびに収束点の低減を図ったパラメータフィッティングの解析方法及び同装置ならびにパラメータフィッティング装置を提供することにある。

【0010】

【課題を解決するための手段】本発明のパラメータフィッティングの解析方法は、デバイスの物理的／幾何学的パラメータを設定するステップと、この物理的／幾何学的パラメータを上記デバイスの等価回路モデルを成すデバイスパラメータに変換するステップと、この等価回路モデルに基づいて上記デバイスの解析用特性を計算により求めるステップと、上記デバイスの解析用特性に関するその計算値と実測値とを比較するステップとを含んでいることを特徴とする。

【0011】また、本発明のパラメータフィッティングの解析装置は、デバイスの物理的／幾何学的パラメータを設定する手段と、この物理的／幾何学的パラメータを上記デバイスの等価回路モデルを成すデバイスパラメータに変換する手段と、この等価回路モデルに基づいて上記デバイスの解析用特性を計算する手段と、上記デバイスの解析用特性に関するその計算値と実測値とを比較する手段とを備えていることを特徴とする。

【0012】さらに、上記解析を適用したパラメータフィッティング方法は、大きく別けて初期値設定ステップとフィッティング実行ステップとを含み、初期値設定ステップではデバイスの物理的／幾何学的パラメータに関する初期値を設定する。次いで、フィッティング実行ステップは、その物理的／幾何学的パラメータを上記デバイスの等価回路モデルを成すデバイスパラメータに変換することによりこの等価回路モデルを抽出する第1ステップ、上記等価回路モデルに基づきその解析用特性を計

算する第2ステップ、その計算値と実測値との比較を行うことにより上記計算値と上記実測値との差が許容値内外のいずれであるかを判定する第3ステップ、及びその比較結果が上記計算値と上記実測値との差として許容値外の値を持つときには、これを小さくする方向に上記物理的／幾何学的パラメータを更新して第1～第3ステップを実行させる第4ステップを含み、上記第3ステップの比較結果が上記計算値と上記実測値との差において上記許容値内の値を持つようになるまで第4のステップを繰返し実行する。

【0013】さらにまた、上記解析を適用したパラメータフィッティング装置は、デバイスの物理的／幾何学的パラメータに関する初期値を設定する初期値設定手段と、この初期値手段の出力にตอบสนองして、その物理的／幾何学的パラメータを上記デバイスの等価回路モデルを成すデバイスパラメータに変換することによりこの等価回路モデルを抽出するモデル抽出手段と、このモデル抽出手段の出力にตอบสนองして、この等価回路モデルに基づきその解析用特性を計算する特性計算手段と、この特性計算手段の出力にตอบสนองして、その計算値と実測値との比較を行う比較手段と、その比較結果が上記計算値と上記実測値との差として許容値外の値を持つとき、これを小さくする方向に上記物理的／幾何学的パラメータを更新する更新値設定手段と、その比較結果が上記計算値と上記実測値との差において許容値内の値を持つとき、そのデバイスパラメータを最適値として決定する最適値決定手段とを備えていることを特徴としている。

【0014】

【作用】本発明によれば、物理的／幾何学的パラメータを設定し、これをデバイスパラメータに変換して等価回路モデルを求め、その特性判断の結果で物理的／幾何学的パラメータを調整する、というアルゴリズムにより、デバイスパラメータをこれより少数の設定で済む物理的／幾何学的パラメータに置換えて処理を行うようにしたため、調整対象となるパラメータの数が減る分だけ解析時間を短縮することができると共に、収束点の分散を抑制することができることとなる。

【0015】

【実施例】以下に本発明の実施例について図面を参照しつつ説明する。

【0016】図1は本発明の一実施例に係るパラメータフィッティング処理の流れを示すものである。

【0017】この図において、まずステップST1では等価回路モデルのフィッティング対象となるデバイスパラメータを表現するための物理的／幾何学的（以下、これを「P/G」と略記する。）パラメータの初期データを設定する。デバイスパラメータとは、等価回路モデルの抵抗、コンデンサ等の値を示すものであり、P/GパラメータとはBJTやFET等の物理的及び幾何学的パラメータであって、BJTの場合、基板やベース・エミ

ッタ・コレクタ等の領域の不純物濃度、面積、ベース深さ等がそれに相当する。

【0018】BJTのモデルとしてはガンメルブーンモデルが知られており、このガンメルブーンモデルの場合、44個のデバイスパラメータを有しているが、この44個のデバイスパラメータは15個のP/Gパラメータに置換えることが可能である。このことは、「Mark Rencher, "Analog Statistical Simulation for Bipolar Integrated Circuit" Analog Integrated and Signal Processing 1, pp157-164 (1991)」等の文献により公知である。ステップST1ではその15個のP/Gパラメータの初期設定を行う。

【0019】続いて、ステップST2ではステップST1で設定したP/Gパラメータを所定の変換式を使って44個のデバイスパラメータに変換し、ガンメルブーンモデルを抽出する。その変換式についても上記文献によりは公知である。

【0020】図2はガンメルブーンモデルの回路構成を示すものである。

【0021】この図中、RC [=コレクタ直列抵抗]、RE [=エミッタ直列抵抗]、RBM [=ベース・バルク抵抗]、CCS [=コレクタ・サブストレート間容量]、CBE [=ベース・エミッタ間容量]、Qb [=正規化したベース電荷量]、CBC1 [=CBC*(1-XCJC)]、CBC2 [=CBC*XCJC]等がデバイスパラメータに相当するものである。上記したように、これ等のデバイスパラメータはP/Gパラメータを変換とする変換式により表すことが可能である。例えば、RBMは、 $RBM = EBS / LE \cdot \rho_{ee} \cdot SCB$ と表すことができる。この式中、LEはトランジスタのエミッタ長、 ρ_{ee} はエミッタ下のベースのシート抵抗、SCBは拡散ベース抵抗変化、EBSはエミッタからベースまでの抵抗距離である。

【0022】ステップST2では、このような計算で44個のデバイスパラメータを求め、ガンメルブーンモデルを抽出する。

【0023】そして、ステップST3では、そのガンメルブーンモデルの解析用特性を計算によって求める。このとき求められる特性としては、 $V_{be} - I_b$ 特性、 $V_{be} - I_c$ 特性、 $I_c - \beta$ 特性などがあり、1回の処理につきそれらのうちの一つが図3あるいは図4にて一点鎖線で示すような各特性曲線が描けるだけの情報量となるだけ求められる。

【0024】そして、ステップST4では、ステップST3で求めた特性と実測値とを比較する。ここで、図3に示すものはガンメルプロットカーブと呼ばれるもので $V_{be} - I_b$ 特性であり、図4に示すものは $I_c - \beta$ 特性を示している。実線で示す実測値と一点鎖線で示す測定値との偏差を最小二乗法により求める。この最小二乗法を使う理由は計算値と実測値との差が+分と-分

とで打ち消し合ってしまうのを防止するためである。求めた偏差は専用のワークエリアに格納されることとなる。

【0025】続いて、ステップST5において、偏差値が許容値以内か否かの判定がなされる。

【0026】ステップST5の判断の結果が許容値外であった場合、ステップST6でP/Gパラメータを変えた後、ステップST2に戻り、その変更後のP/Gパラメータに対応するデバイスパラメータを求め、特性判定を行う。ステップST5での判断がYESになるまでステップST2～6が繰返されることとなる。

【0027】ステップST5での判断がYESで許容値内と出た場合には、ステップST7に移行し、収束点としてその判定対象となったガンメルブーンモデルのデバイスパラメータを出力することとなる。

【0028】以上のようなアルゴリズムを用いた解析処理は、例えば、ステップST5で使用する偏差の基準値を特性各々につき大きさの異なる複数種の値を設定し、特性一つと基準値一つとを1組にし、各組において収束するまで前述したアルゴリズムを切替え実行するようにする。

【0029】例えば3種の特性CH1、CH2、CH3に関し解析を行う場合であって、特性1種につき2個の基準値を設けるとし、その一方の値をT1、他方をT2とした場合、 $T1 > T2$ の関係を持つ値を準備したとする。

【0030】第1段階として、特性CH1について、大きい方の基準値T1内に収束させるように上記アルゴリズムを実行する。このCH1-T1の組において収束が得られたならば、次の特性CH2-T1について収束が得られるまで上記アルゴリズムを実行する。その収束後、CH3-T1について同様に実行する。大きい方の基準値に関し全特性の収束が得られたら、第2段階として各特性の小さい方の基準値T2に関しCH1-T2、CH2-T2、CH3-T3の順に上記アルゴリズムを実行して行くこととなる。

【0031】以上から明らかなように、P/Gパラメータを設定し、これをデバイスパラメータに変換して等価回路モデルを求め、その特性判断の結果でP/Gパラメータを調整する、というアルゴリズムにより、44個のデバイスパラメータをこれより少数の15個の設定で済むP/Gパラメータに置換えて処理を行うようにしたため、調整対象となるパラメータの数が減る分だけ解析時間を短縮することができると共に、収束点の分散を抑制することができることとなる。

【0032】

【発明の効果】以上説明したように本発明によれば、物理的/幾何学的パラメータを設定し、これをデバイスパラメータに変換して等価回路モデルを求め、その特性判断の結果で物理的/幾何学的パラメータを調整する、と

いうアルゴリズムにより、デバイスパラメータをこれより少数の設定で済む物理的/幾何学的パラメータに置換えて処理を行うようにしたため、調整対象となるパラメータの数が減る分だけ解析時間を短縮することができる。と共に、収束点の分散を抑制することができることとなる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るパラメータフィッティングアルゴリズムを示すフローチャート。

【図2】パラメータフィッティングの対象となる等価回路モデルの一例としてガンメルブーンモデルの構成を示す回路図。

【図3】ガンメルブーンモデルのパラメータフィッティ

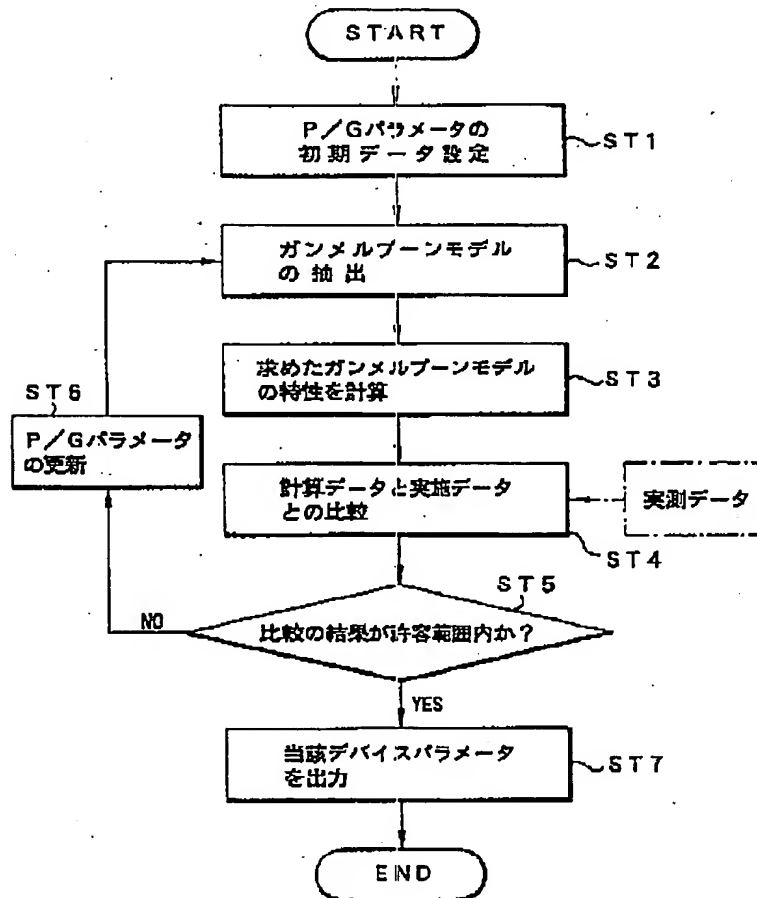
ングにおける解析用特性の一例として $V_{be}-I_B$ 、 I_C 特性を示す曲線図。

【図4】同じく $I_C-\beta$ 特性を示す曲線図。

【符号の説明】

- ST 1 P/Gパラメータ初期値設定ステップ
ST 2 デバイスパラメータ計算によるモデル抽出ステップ
ST 3 解析用特性計算ステップ
ST 4 特性比較ステップ
ST 5 P/Gパラメータ更新値設定ステップ
ST 6 デバイスパラメータ最適値決定ステップ
ST 7 デバイスパラメータ最適値出力ステップ

【図1】



(コレクタ)

RC

CCS

C

INTRINSIC BJT

E

S

サブストレート

RE

RB

RC コレクタ抵抗値
 RE エミッタ抵抗値
 RBM ベース・バイパス抵抗
 CCS コレクタ・サブストレート容量
 CBE ベース・キャパシタンス
 qb 定数化したベース電流
 CBE1 $C_{BE} + (1 - X_{JC})C$
 CBE2 $C_{BE} + (X_{JC})C$
 (デフォルト): $X_{JC} = 1$, RBM = RB

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.